DIALOG(R)File 347:JAPIO (c) 2006 JPO & JAPIO. All rts. reserv.

03871416 **Image available** **OUTPUT BUFFER CIRCUIT**

PUB. NO.:

9

04-236516 [JP 4236516 A]

PUBLISHED:

August 25, 1992 (19920825)

INVENTOR(s):

MAEKAWA TOSHIICHI

APPLICANT(s):

SONY CORP [000218] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.:

03-019568 [JP 9119568]

FILED:

January 18, 1991 (19910118)

INTL CLASS:

[5] H03K-019/0175; H03K-019/0185; H03K-019/003

JAPIO CLASS:

42.4 (ELECTRONICS -- Basic Circuits)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide

Semiconductors, MOS)

JOURNAL:

Section: E, Section No. 1301, Vol. 17, No. 3, Pg. 60, January

06, 1993 (19930106)

ABSTRACT

PURPOSE: To attain the high breakdown voltage and to improve the circuit reliability by generating 1st and 2nd signals whose level is smaller than a level between a ground level and a power supply voltage and selecting a level between a ground level and a power supply voltage as an amplitude of an output signal based on the 1st and 2nd signals.

CONSTITUTION: At a point of time t(sub 1) among points of time t(sub 1)-t(sub 4), a gate voltage of a PMOS transistor(TR) mp8 is equal to a source voltage of the TR mp8, which is turned off. On the other hand, a high voltage E is given to a gate of an NMOS TRmn8 and a ground voltage B is given to a source of the TRmn8, which is turned on. Thus, an output signal voltage F of an output circuit 5 is at a ground level at the point of time t(sub 1) when an input signal voltage VIN is at a ground level. Moreover, the gate voltage E of the NTRmn8 is equal to the source voltage B at the point of time t(sub 2) and an L level signal D is fed to the gate of the PTRmp8 and a power supply voltage signal C is fed to its source. Thus, the potential of the output F rises up to the power supply voltage level at the point of time t(sub 2) and its amplitude is at the same ground level as that of the voltage VIN.

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出顧公開番号

特開平4-236516

(43)公開日 平成4年(1992)8月25日

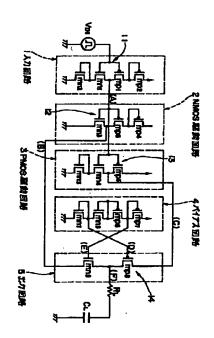
(51) Int.Cl. ⁵ H 0 3 K	19/0175 19/0185 19/003		ŀ	庁内整理番号 8941-5 J	FΙ					技術表示箇所
		•	E							
				8941 —5 J	H03K	19/00		101	F	
				8941 — 5 J				10.1		
						審査請求	未請求	請求	項の製	(1(全 5 頁)
(21) 出願番号	}	特顯平3-19568			(71)出廣人	-				
(22) 出顧日		平成3年(1991)	18	1813			株式会社 品川区北		TB 7	#425년
(vec) mass u					(72)発明者			шил О	, ,	無かり
			-			東京都		温川6	丁目7	番35号 ソニ
					(74)代理人		船橋	国則		
					1					

(54) 【発明の名称】 出力パツフア回路

(57)【要約】

【目的】 製造プロセスを変更したりトランジスタの動作特性を犠牲にしたりすることなく高耐圧化をはかり、 出力パッファ回路の信頼性を向上させる。

【構成】 振幅が0~電源電圧VDDよりも小さくて最低レベルがグランドレベルと同じである第1の信号と、最高レベルは電源電圧VDDと同じであるが、その振幅が0~電源電圧VDDよりも小さい第2の信号とを作り、出力パッファ回路を構成する全てのMOSトランジスタの任意の2端子間に印加される電圧の最大値が、|VDD-MOSトランジスタのしさい値電圧|となるようにして実質的な耐圧を向上させるとともに、最終的に出力される信号の振幅がこれら第1および第2の信号に基づいてグランドレベルGnd~電源電圧VDDとなるようにする。



1

【特許請求の範囲】

【鯖水項1】 前段から与えられる入力信号をレベルシ フトして最低レベルがグランドレベルにクランプされて いるとともに、最高レベルが電源電圧よりも所定の電位 だけ下がっている第1の信号を作るNMOS駆動回路 と、上記入力信号をレベルシフトし、最高レベルが上記 電源電圧にクランプされているとともに、最低レベルが 上記グランドレベルから上記所定の電位分だけ上がって いる第2の信号をつくるPMOS駆動回路と、上記電源 電圧よりも上配所定の電位分だけ下がっている第1の電 10 圧、および上記グランドレベルよりも上記所定の電位分 だけ上がっている第2の電圧を作るパイアス回路と、上 配第1の信号がソースに与えられるとともに上配第1の 電圧がゲートに与えられるNMOSトランジスタ、およ び上配第2の信号がソースに与えられるとともに上配第 2の電圧がゲートに与えられるPMOSトランジスタに より構成されるCMOSトランジスタとを具備すること を特徴とする出力パッファ回路。

【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は出力パッファ回路に係わり、特に、TFTにより構成される出力パッファ回路の 耐圧を向上させるものに用いて好適なものである。

[0 0 0 2]

【従来の技術】例えば、或る回路で生成された信号を次段の回路に出力するための回路として、出力パッファ回路が用いられている。図3は、アクティブマトリックス型の液晶ディスプレイに用いられている出力パッファ回路を示す回路構成図である。この回路は、垂直シフトレジスタで作ったアドレスパルスを出力パッファ回路2130を介してゲート線22上に出力するものである。図3に示すように、出力パッファ回路21はPMOSトランジスタmp1とNMOSトランジスタmp1とNMOSトランジスタmp1とNMOSトランジスタmp1とからなるCMOSトランジスタによって構成されている。

【0003】このような回路においては、国楽を構成するトランジスタがNMOSトランジスタであるため、一般に、入力されるビデオ信号の振幅は0.5V~(電源電圧VDDーしきい値電圧Vth)程度であり、0V~電源電圧VDDの電圧振幅を持たない。しかし、ゲート線22に出力される信号電圧は、0V~電源電圧VDD 40のダイナミックレンジで出力され必要がある。したがって、出力パッファ回路21を構成する各トランジスタエ p1, mn1のドレインとゲート間、ソースとゲート間、およびドレインとソース間には電源電圧VDDと同じ大きさの電圧が印加される。

[0004]

【発明が解決しようとする課題】上記電源電圧VDDは、通常は14~18V程度の高い電圧であるが、このような高電圧をそのまま加えるとデバイスの信頼性が低下する。この問題を解決するために、例えばゲート酸化 50

膜の厚さを厚くすることが考えられる。しかし、ゲート酸化膜を厚くすると、しきい値電圧Vthが増加したり、或いは動作速度が低下(gmの低下)したりするなどのような不都合が発生する上に、プロセス全体を変更しなければならない問題もあった。

2

【0005】本発明は上述の問題点に鑑み、プロセスを変更したりトランジスタの動作特性を犠牲にしたりすることなく高耐圧化をはかり、出力パッファ回路の信頼性を向上させることを目的とする。

[0006]

【課題を解決するための手段】本発明の出力パッファ回 路は、前段から与えられる入力信号をレベルシフトして 最低レベルがグランドレベルにクランプされているとと もに、最高レベルが電源電圧よりも所定の電位だけ下が っている第1の信号を作るNMOS駆動回路と、上記入 力信号をレベルシフトし、最高レベルが上記電源電圧に クランプされているとともに、最低レベルが上記グラン ドレベルから上記所定の電位分だけ上がっている第2の 信号をつくるPMOS駆動回路と、上記電源電圧よりも 上記所定の電位分だけ下がっている第1の電圧、および 上記グランドレベルよりも上配所定の電位分だけ上がっ ている第2の電圧を作るパイアス回路と、上配第1の信 号がソースに与えられるとともに上配第1の電圧がゲー トに与えられるNMOSトランジスタ、および上記第2 の信号がソースに与えられるとともに上配第2の電圧が ゲートに与えられるPMOSトランジスタにより構成さ れるCMOSトランジスタとを具備している。

[0007]

【作用】最低レベルはグランドレベルと同じであるが、その接幅がグランドレベルGnd~電源電圧VDDよりも小さい第1の信号、および最高レベルは電源電圧VD Dと同じであるが、その接幅が上記第1の信号と同様にグランドレベルGnd~電源電圧VDDよりも小さい第2の信号を作るとともに、最終的に出力される信号の接幅がこれら第1および第2の信号に基づいてグランドレベルGnd~電源電圧VDDとなるようにする。これにより、出力パッファ回路を構成する全てのMOSトランジスタの任意の2端子間に印加される電圧の最大値が、「VDD-MOSトランジスタのしきい値電圧」となり、実質的な耐圧が向上する。

[0008]

【実施例】図1は、本発明の一実施例を示す出力パッファ回路の回路構成図である。この出力パッファ回路は、入力回路1、NMOS駆動回路2、PMOS駆動回路3、パイアス回路4、および出力回路5の5つのブロックによって構成されている。入力回路1は、外部から与えられる入力信号電圧Vinの振幅を抑圧した信号を生成するために設けられている。本実施例においては、第1のPMOSトランジスタmp1と第1のNMOSトランジスタmn1とからなる第1のCMOSトランジスタ1

20

3

1の電源倒に第2のPMOSトランジスタmp2を接続 するとともに、グランド側に第2のNMOSトランジス タmn2を接続して入力回路1を約成している。

【0009】NMOS風勁回路2は、入力回路1から供 焼される信号(A)をレベルシフトし、最低レベルがグ ランドレベルGndにクランプされた信号(B)を形成 するために設けられている。これは、PMOSトランジ スタmp3とNMOSトランジスタmn3とからなる第 2のCMOSトランジスタ12の電源側にダイオード接 焼したPMOSトランジスタmp4を接続して編成され 10 Tいる。

【0010】また、PMOS図頭回路3は、入力回路1から供除される信号(A)を受護電圧VDD頃にレベルシフトし、最高レベルが電源電圧VDDにクランプされた信号(C)を形成するために設けられている。これは、PMOSトランジスタmp5とNMOSトランジスタmn4とからなる第3のCMOSトランジスタ13のグランド頃にダイオード接億したNMOSトランジスタmn5を接窓して記成されている。

【0011】パイアス回路4は、PMOSトランジスタmp6,mp7およびNMOSトランジスタmn6,mn7をそれぞれダイオード接触するとともに、これらのMOSトランジスタを直列に接触し、これを電源とグランドとの間に接触する。そして、PMOSトランジスタmp6とmp7との固から電圧(E)を取り出すとともに、NMOSトランジスタmn6とmn7との固から電圧(D)を取り出すようにしている。

【0012】出力回路5は、PMOSトランジスタmp 8およびNMOSトランジスタmn 8とからなる第4の CMOSトランジスタ14によって結成されていて、そ 30 の出力給子に抵抗器RLおよびコンデンサCLが接続されている。そして、パイアス回路4から取り出される쥖 圧 (D) および(E) が、NMOSトランジスタmn 8 のゲート、およびPMOSトランジスタmp 8 のゲートにそれぞれ与えられるようになされている。

【0013】次に、上述のように に成された出力パッファ回路の 団作を図2のタイムチャートを 停照して 説明する。 先ず、グランドレベル Gnd ~ VDDの 最低を育する 入力信号 団圧 Vtm が入力回路1 に与えられると、 図2において (A)に示すような 液形の 信号に 変換される。 40このような 信号 波形 (A)は、入力回路1 が以下に 述べるような 回路 団件を 行うことにより 形成される。 すなわち、 先ず 図2の 時点 t1 においては、入力信号 団圧 Vtm が "L"であるので、 第1の CMOSトランジスタ11は PMOSトランジスタ mp1 がオンするとともに、 NMOSトランジスタ mp1 がオフする。 これにより、 第1の CMOSトランジスタ 11の 出力信号 団圧 (A)は、 環境 国圧 VDDに向かって 上昇する。 しかし、この CMOSトランジスタ 11の 電源 倒には ダイオード接続された PMOSトランジスタ mp2 が接続されているの 50

で、上配出力信号電圧(A)の最高電位は上配PMOSトランジスタmp2のしきい電電圧Vthp分だけ低い 値になる。すなわち、(VDD-Vthp) 返しか上昇 しない。

【0014】一方、時点 t 2においては、入力個号図圧 VIIIが"H"となるので、第1のCMOSトランジスタ 11はNMOSトランジスタmn1がオンするとともに、PMOSトランジスタmp1がオフする。これにより、第1のCMOSトランジスタmp1がオフする。これにより、第1のCMOSトランジスタ11の出力個号電圧(A)は、グランド窓位に向かって低下する。しかし、このCMOSトランジスタ11のグランド頃にはダイオード接窓されたNMOSトランジスタmn2が接窓されているので、上配出力個号図圧(A)の最低図位は上配 NMOSトランジスタmn2のしさい値図圧Vthn分だけ高い値になる。このような現然は、時点t3,t4においても同様に現れるので、図2に示したようにその 振幅が入力信号電圧VIIIよりも抑圧された出力倡号電圧(A)が入力回路1の出力増子から得られることになる。

【0015】NMOS風頭回路2は、入力回路1から供 焼される信号(A)を受けて、この信号(A)と被形が 同じで最低レベルがグランドにクランプされた信号図圧 (B)を形成しこれを出力回路5に供給する。また、P MOS図防回路3は入力回路1から供給される信号 (A)を電源電圧側にレベルシフトして、その最高レベ ルが電源電圧VDDにクランプされた信号(C)を形成 し、これを出力回路5に供給する。

【0016】NMOS国動回路2から供給される信号(B)は、第4のCMOSトランジスタ14を构成するNMOSトランジスタmn8のソースに与えられ、PMOSトランジスタmp8のソースに与えられる。NMOSトランジスタmp8のソースに与えられる。NMOSトランジスタmn8のゲートにはパイアス包圧(E)が与えられているとともに、PMOSトランジスタmp8のゲートにはパイアス包圧(D)が与えられている。

【0017】パイアス億圧(E)は電源電圧VDDからPMOSトランジスタmp2のしきい値電圧Vthp分だけ低い値となっている。また、パイアス電圧(D)はNMOSトランジスタmp2のしきい値電圧Vthn分だけ高い値になっている。したがって、PMOSトランジスタmp8は時点t1においては、ゲート電圧とソース電圧とが同じ位となるのでオフする。一方、NMOSトランジスタmn8の場合は、時点t1においてゲートに高電圧(E)が与えられるとともに、ソースにグランドレベルの電圧(B)が与えられるのでオンする。したがって、出力回路5の出力信号電圧(F)は図2で示したように、入力信号電圧ViiがグランドレベルGndとなっている時点t1においてはグランドレベルGndになる。

【0018】また、時点 t 2ではNMOSトランジスタ

5

mn8のゲート電圧(E)とソース電圧(B)とが同じ になるとともに、PMOSトランジスタmp8において はゲートに"L"レベルの信号(D)が印加され、ソー スにVDDレベルの信号(C)が印加される。したがっ* *T、時点 t 2 においては出力信号 (F) の電位は電源電 EVDDレベルまで上昇する。これらのトランジスタm p 8 およびmn 8 の動作をまとめたものを第1 表に示す。

麦1

	入力 "L" レベル	入力 "H" レベル
mp80 VGS	VGS =Vthn-Vthn =0	VGS =VDD -Vthn
	完全にオフ	完全にオン
mn80	VGS = (VDD-Vthp) -0	VGS = (VDD-Vthp)
VGS	· =VDBVthp	— (VDD—V thp)
	完全にオン	=0
		完全にオフ

このような動作は、時点 t 3, t 4 においても同様に行われるので、図 2 に示したように出力信号 (F) の振幅は入力信号電圧 Via と同じ (グランドレベルGnd~20 VDD) になる。

【0019】本実施例の出力パッファ回路は、入力回路 1~出力回路5の前段を通して全てのMOSトランジス タの任意の2増子間に印加される電圧の最大値は | VD D-Vthn, Vthp | となる。これは、MOSトラ ンジスタのしきい値分だけ耐圧を大きくしたのと実質的 に同じ効果がある。また、表1に示したように、各MO Sトランジスタは入力の"L"、"H"でCMOS動作 を行う。したがって、DC電流は流れないので消費電力 を非常に少なくすることができる。なお、オン電圧は通 30 常のインパータよりもしきい値分だけ減ることになる が、何えばゲート線のような軽い負荷を駆動する場合に は全く問題ない。なお、パイアス回路4に用いているダ イオード接続トランジスタmn6, mn7, mp6, m p 7 は、必ずしも図1の通りでなくともよい。 すなわ ち、ダイオード接続されているものであれば、NMOS トランジスタをPMOSトランジスタに置き換え、PM OSトランジスタをNMOSトランジスタに置き換えて

[0020]

【発明の効果】本発明は上述したように、振幅がグランドレベルGnd~電源電圧VDDよりも小さいけれども最低レベルはグランドレベルと同じである第1の信号と、同じく振幅はグランドレベルGnd~電源電圧VD Dよりも小さいが最高レベルは電源電圧VDDと同じである第2の信号とを作り、出力パッファ回路を構成する全てのMOSトランジスタの任意の2増子間に印加される電圧の最大値が、「VDD-MOSトランジスタのし

きい値電圧 | となるようにするとともに、最終的に出力 される信号の振幅がグランドレベルGnd〜電源電圧V DDとなるようにしたので、電源電圧の大きさを小さく したり或いはゲート酸化膜の厚さを厚くしたりすること なく実効的な耐圧を向上させることができる。したがっ て、プロセスを変更したり、トランジスタの動作特性を 犠牲にしたりすることなく高耐圧化をはかることができ、出力パッファ回路の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す出力パッファ回路の回 路図である。

30 【図2】図1の回路の各部の動作を説明するためのタイムチャートである。

【図3】 パッファ回路の使用例を示す回路図である。 【符号の総明】

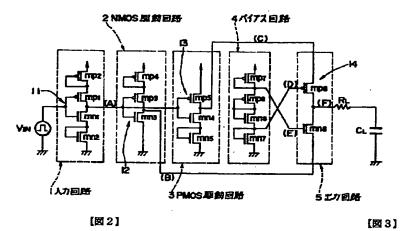
- 1 入力回路
- 2 NMOS駆動回路
- 3 PMOS駅動回路
- 4 パイアス回路
- 5 出力回路
- 11 第1のCMOSトランジスタ
-) 12 第2のCMOSトランジスタ
 - 13 第3のCMOSトランジスタ
 - 14 第4のCMOSトランジスタ
 - Vis 入力信号電圧
 - VDD 電源電圧

Gnd グランドレベル

Vthp しきい値電圧

Vthn しきい値電圧

【図1】



[図2]

